

# Aprendizaje de plataformas embebidas heterogéneas para responder a las nuevas necesidades computacionales de la Industria 4.0

Ignacio Angulo

*Departamento de Tecnologías Informáticas, Electrónicas  
y de la Comunicación*  
Universidad de Deusto  
España  
[ignacio.angulo@deusto.es](mailto:ignacio.angulo@deusto.es)

Javier García-Zubía

*Departamento de Tecnologías Informáticas, Electrónicas  
y de la Comunicación*  
Universidad de Deusto  
España  
[zubia@deusto.es](mailto:zubia@deusto.es)

**Abstract**— Los nuevos requisitos computacionales y de procesamiento de datos que surgen dentro del concepto de la Industria 4.0 requieren que los fabricantes proporcionen nuevas arquitecturas diseñadas para estas nuevas necesidades. La incorporación de estas nuevas soluciones tecnológicas en los planes de estudios de postgrado facilita la generación de perfiles universitarios formados para liderar la transformación de la industria actual hacia una industria conectada. Esta comunicación presenta el desarrollo de dos asignaturas de máster centradas en el aprendizaje de la arquitectura Xilinx UltraScale de sistemas SoC heterogéneos mediante el desarrollo de un proyecto fundamentado en el paradigma del Edge computing.

**Keywords**—Sistemas embebidos, Diseño digital, System on Chip, Edge Computing, Industrial Internet of Things

## I. INTRODUCCIÓN

El Máster Universitario en Automatización, Electrónica y Control Industrial, MUAECI, de la Facultad de Ingeniería de la Universidad de Deusto tiene como objetivo formar profesionales altamente cualificados en el ámbito industrial, capaces de participar en el diseño de los procesos de fabricación y control. Este máster proporciona una sólida base científico-técnica además de un conjunto de habilidades y destrezas transversales. Las características del máster permiten al egresado integrarse en la industria sin mayor adaptación además de darle la capacidad de asumir el reto de modernizar los procesos en los que se integre.

El Máster Universitario en Automatización, Electrónica y Control Industrial, MUAECI, constituye la adaptación al nuevo marco académico del ya extinto 2º ciclo de Ingeniero en Automática y Electrónica Industrial de la Universidad de Deusto que formó durante más de una década profesionales con un alto grado de empleabilidad y de satisfacción, ya que más del 90% encontró trabajo en menos de tres meses con un salario por encima de la media. Esto se confirma en un estudio nacional publicado en 2019 [1] que indica que esta formación tecnológica se encuentra entre las primeras con mayor empleabilidad en España.

Para facilitar el acceso al mercado laboral, la Universidad de Deusto utiliza en el MUAECI la metodología “learning by doing”. La mejor forma de aprender tecnología es practicando con ella: moviendo robots, programando sistemas electrónicos o controlando plantas industriales y sistemas de producción.

Respecto a otros másteres especializados en un área específica de la electrónica, la automatización o control industrial, el MUAECI ofrece una formación horizontal articulada en cinco áreas fundamentales cada una de las cuales distribuida en dos asignaturas:

- Electrónica industrial
  - Diseño avanzado de sistemas digitales
  - Sistemas embebidos avanzados
- Automatización
  - Automatización para industrias de proceso continuo y discreto
  - Redes de comunicación industriales
- Robótica
  - Visión artificial
  - Robótica industrial
- Electrónica de potencia
  - Sistemas electrónicos de potencia
  - Control en tiempo real de dispositivos industriales
- Control industrial
  - Control industrial aplicado
  - Control avanzado y multivariable

Dado el carácter tecnológico del MUAECI las asignaturas de cada área utilizan la estrategia compartida de aprendizaje basado en proyectos (ABP) [2][3] para estimular el aprendizaje activo y el trabajo colaborativo y distribuir uniformemente la importante carga práctica que los estudiantes deben desarrollar durante el máster [4][5].

La presente publicación se centra en las asignaturas que integran el área de Electrónica Industrial presentando el programa de ambas asignaturas, la tecnología utilizada durante su impartición y la metodología conjunta empleada. El MUAECI es un máster de 60 créditos ECTS que se imparte en un único año, Ambas asignaturas se imparten en semestres consecutivos, imponiendo un sistema de evaluación independiente para cada una, pero manteniendo el objetivo común de proporcionar al estudiante conocimiento avanzado en las nuevas tecnologías que se requieren para cumplir con las necesidades de implantación de nuevos sistemas de electrónica industrial detectados en la industria actual.

## II. RELEVANCIA DEL EDGE COMPUTING EN LA INDUSTRIA

La industria 4.0 puede considerarse la revolución industrial del siglo XXI y la supervivencia de la industria actual dependen en gran manera de la capacidad de adecuación a las nuevas tecnologías que garantizan mantener la competitividad en plena transformación digital de la sociedad [6]. Las exigencias de personalización de los clientes actuales requerirán capacidades de fabricación determinadas por la inteligencia artificial, el aprendizaje de las máquinas y las tecnologías de automatización vinculadas a la ciencia de datos. Esta nueva revolución industrial requiere tecnologías capaces de transformar la gestión de los sistemas facilitando su interconexión y proporcionando altas capacidades de computación. Esas empresas requerirían una mano de obra calificada para mejorar y hacer funcionar herramientas y sistemas de fabricación avanzados e investigar los datos adquiridos desde las propias instalaciones industriales, dando lugar a una creciente necesidad de empleados capacitados que necesitarán nuevas competencias para hacer frente a los nuevos procesos y tecnologías de la información [7].

La computación en la nube ha dominado el discurso de la tecnología de la información en la última década. Sin embargo, las tecnologías y aplicaciones nacientes para la informática móvil y la Internet de las Cosas (IoT) están impulsando la informática hacia la dispersión. Edge Computing es un nuevo paradigma en el que se colocan importantes recursos informáticos y de almacenamiento próximos a los sistemas que generan la información. En un contexto industrial el Edge Computing aporta cuatro ventajas fundamentales [8]:

- La proximidad física entre el sistema que genera los datos y el que los procesa facilita reducir la latencia, el ancho de banda y el rendimiento necesario de la infraestructura en la nube.
- Escalabilidad a través de análisis distribuido. La demanda de ancho de banda de entrada en la nube ante una gran colección de sensores generadores de gran volumen de información, como cámaras de video, se reduce considerablemente si el análisis principal de los datos se desarrolla directamente en el dispositivo reduciendo el volumen de datos enviado a la información agregada y los metadatos extraídos.
- La aplicación de la política de privacidad. Al servir como el primer punto de contacto en la infraestructura para los datos de los sensores, el paradigma Edge Computing facilita el cumplimiento de las políticas de privacidad previamente al envío de los datos a la nube.
- Dependencia con infraestructura externa. Ante un fallo en la infraestructura en la nube o ante un fallo en las comunicaciones, en el servicio Cloud, o ante un ataque, un servicio de emergencia directamente en la propia instalación puede enmascarar temporalmente el fracaso e impedir la interrupción de la producción.

Estos nuevos requisitos computacionales y de procesamiento de datos que surgen dentro del concepto de la

Industria 4.0 y del paradigma del Edge Computing requieren que los fabricantes proporcionen nuevas arquitecturas diseñadas a medida para cubrir estas nuevas necesidades. La incorporación de estas nuevas soluciones tecnológicas en los planes de estudios de postgrado facilita la generación de perfiles universitarios formados para liderar a transformación de la industria actual hacia una industria conectada.

La familia de dispositivos hardware escogida para el desarrollo de la asignatura es la gama de SoC (System On Chip) heterogéneos UltraScale+mpsoc de Xilinx [9]. Estos dispositivos integran en un mismo sistema una potente FPGA junto con un sistema de procesamiento multinúcleo basado en los últimos procesadores ARM de la gama aplicación. Fig 1 muestra las características fundamentales del dispositivo Xilinx Zynq UltraScale+ MPSoC ZU3EG A484, elemento fundamental en el sistema de desarrollo utilizado en las asignaturas del área de electrónica industrial del MUAECI. Se pueden observar las características fundamentales del sistema de procesado “PS” (Processing System), interconectado con el sistema de lógica programable PL (Programmable Logic). Esta familia ha sido desarrollada por Xilinx, fabricante líder en dispositivos programables, para dar soporte a las necesidades de la filosofía Edge Computing [10] que persigue el procesamiento de los datos desde el mismo sistema que lo genera, en aplicaciones industriales, de conducción autónoma o destinadas al sector de la salud.

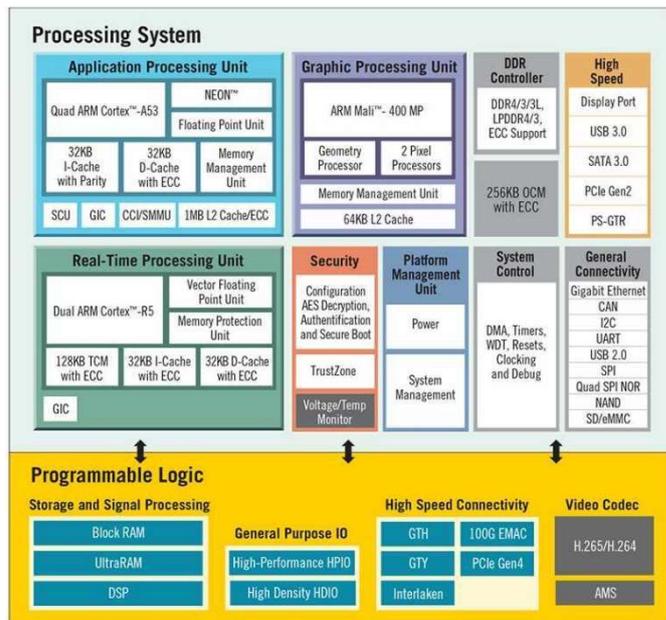


Fig. 1. Arquitectura de la familia Xilinx Zynq UltraScale+ MPSoC

El sistema de desarrollo utilizado en ambas asignaturas es el ULTRA96 (Fig 2). Este sistema es una placa de desarrollo que integra el Xilinx Zynq UltraScale+™ MPSoC, basada en la especificación Linaro 96Boards Consumer Edition (CE). Lejos de ser una herramienta didáctica, la ULTRA96 tiene una gran vocación industrial como demuestra el hecho de estar disponible en opciones de grado de temperatura industrial y disponer de un módulo de comunicaciones desarrollado por Microchip que ha sido certificado. Además, permite el control detallado de la energía consumida mediante un módulo Infineon Pmics incluido.

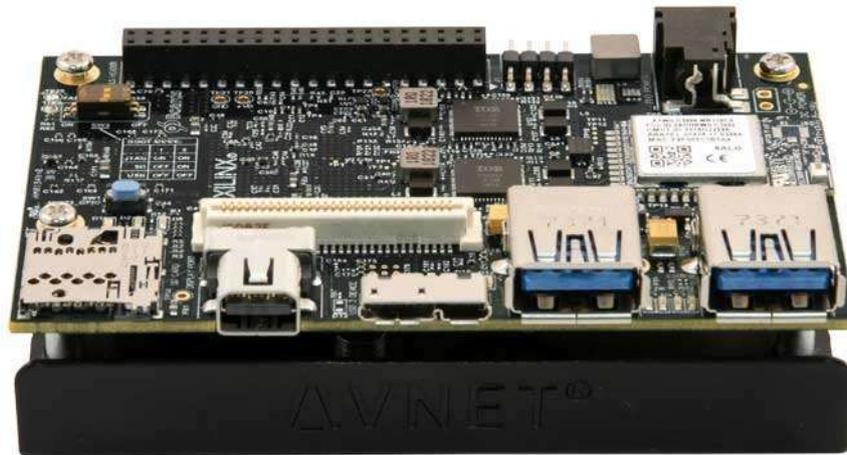


Fig. 2. Sistema de desarrollo Ultra96-V2

### III. DISTRIBUCIÓN DE LAS ENSEÑANZAS

Como se ha indicado en el apartado I de esta publicación el área de electrónica industrial incluye dos asignaturas que se distribuyen secuencialmente en los dos semestres de duración del MUAECI:

#### A. Diseño avanzado de sistemas digitales

En esta asignatura los estudiantes diseñan el sistema hardware que conforma la lógica programable a la medida de un reto común cuya temática va variando a lo largo de las distintas promociones del MUAECI.

Desde el punto de vista competencial, esta asignatura colabora en el perfil del estudiante del MUAECI capacitando para dos competencias específicas:

1. Diseñar sistemas digitales avanzados basados en dispositivos lógicos configurables tipo FPGA mediante un lenguaje de descripción hardware.
2. Diseñar sistemas digitales basados en multiprocesadores y FPGA con lenguajes de descripción hardware y herramientas CAE.

Además, durante el desarrollo de esta asignatura se trabaja la competencia genérica de orientación al aprendizaje:

- Utilizar el aprendizaje de manera estratégica y flexible en función del objetivo perseguido en el ámbito de la ingeniería en automatización, electrónica y control industrial, integrando diversas teorías o modelos y haciendo una síntesis personal y creativa adaptada a las propias necesidades profesionales.

Durante el desarrollo de la asignatura los estudiantes deben llevar a cabo las siguientes actividades fundamentales:

1. Diseñar individualmente los diferentes bloques IP encargados de gestionar los distintos elementos hardware controlados por el sistema.

2. Integrar en un mismo sistema todos esos bloques individuales.
3. Validar el funcionamiento individual y colectivo del bloque funcional del sistema final.

La herramienta software fundamental sobre la que se desarrolla esta asignatura es Xilinx Vivado. Esta herramienta es la nueva apuesta de Xilinx para síntesis y análisis de diseños HDL, reemplazando a Xilinx ISE con características adicionales para el desarrollo del sistema en un chip y compatible con síntesis de alto nivel (HLS). En Vivado los estudiantes diseñan cada uno de los bloques lógicos funcionales mediante un lenguaje de definición de hardware (vhdl o verilog) o mediante lenguaje C utilizando las capacidades de síntesis de alto nivel (HLS).

Posteriormente, desarrollan un sistema que integra cada uno de los bloques diseñados individualmente. La Fig 3 incluye el diseño en bloque del sistema correspondiente al reto desarrollado durante el curso 2019-2020. Como puede observarse integra en un sistema los siguientes IP de lógica programable para la gestión de dispositivos:

1. Módulo de temperatura Dallas ds18b20
2. Puerto de Entradas y salidas de propósito General.
3. Motor de corriente continua
4. Motor paso a paso
5. Sensor de distancia SRF04
6. Servomotor
7. Divisor de frecuencia NCO
8. Registro de desplazamiento síncrono de alta velocidad

Finalmente, mediante la herramienta Xilinx SDK evalúan el comportamiento individual de cada IP y colectivo del sistema integral.

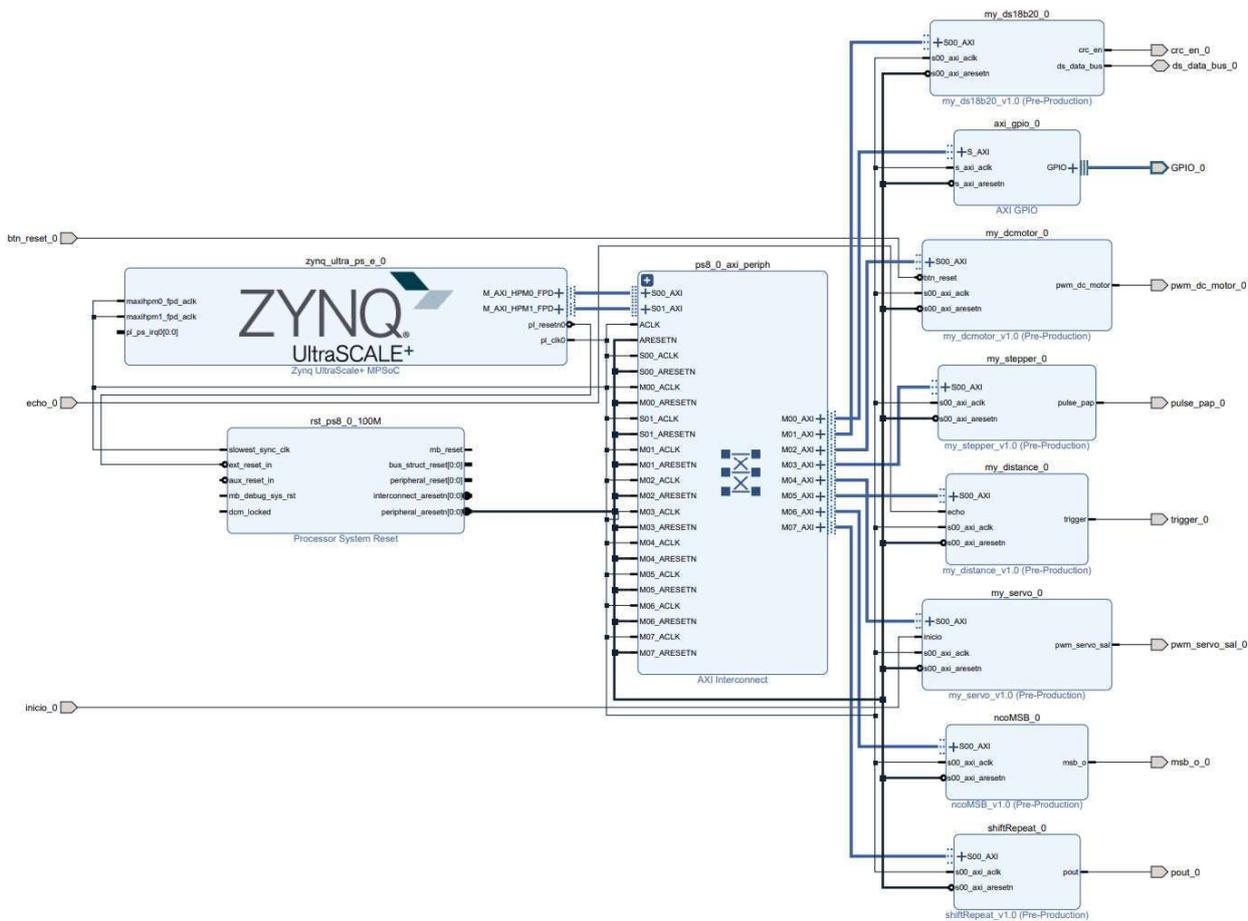


Fig. 3. Diseño funcional del sistema de lógica programable implementado durante la asignatura “Diseño avanzado de sistemas digitales”.

**B. Sistemas embebidos avanzados**

Durante el segundo semestre, a partir del bloque funcional diseñado en la asignatura de “Diseño avanzado de sistemas digitales”, se implementa el software embebido que permite al sistema de procesamiento implementar la lógica requerida para el desarrollo de un proyecto de control industrial sobre la maqueta didáctica desarrollada para implementar el reto planteado.

Desde el punto de vista competencial esta asignatura comparte la competencia genérica de “Orientación al aprendizaje” con la asignatura de “Diseño avanzado de sistemas digitales”. Además, lleva asociadas dos competencias específicas:

1. Diseñar sistemas embebidos basados en microprocesadores avanzados de 32 bits.
2. Integrar sistemas embebidos en entornos de fabricación avanzada mediante protocolos industriales.

Los apartados fundamentales de dicha asignatura son:

1. Desarrollo de una imagen Linux a medida para el sistema mediante el proyecto Yocto.
2. Desarrollo de los módulos del kernel de Linux que permiten el control de los bloques implementados en la parte de lógica programable.

3. Implementación de las aplicaciones encargadas de implementar la lógica requerida para el control de la maqueta.
4. Desarrollo de una aplicación de monitorización y control remoto mediante protocolos IoT de comunicación síncrona y asíncrona.

A lo largo de estas dos asignaturas, los estudiantes desarrollan todo el flujo de trabajo correspondiente a un sistema embebido teniendo en cuenta el co-diseño hardware-software [11][12][13].

Si durante la asignatura “Diseño avanzado de sistemas digitales” el esfuerzo se lleva a cabo sobre la parte PL del SoC (hw), en esta asignatura se trabaja fundamentalmente en el componente PS (sw) del mismo.

La asignatura de sistemas embebidos avanzados se desarrolla en dos fases. La primera consiste en preparar una imagen del sistema operativo creada a medida del sistema a desarrollar, mientras que durante la segunda los estudiantes desarrollan las aplicaciones destinadas a gestionar y monitorizar el comportamiento del sistema.

Para facilitar el desarrollo de la asignatura se utiliza el conjunto de herramientas Petalinux que permiten personalizar, construir y desplegar soluciones de Linux embebido en sistemas de procesamiento Xilinx. Mediante Petalinux [14], los estudiantes desarrollan un sistema operativo embebido basado en Linux optimizado para el

hardware implementado que permite la gestión de las comunicaciones y facilita el control de los dispositivos hardware mediante device drivers desarrollados a medida de las necesidades de gestión de los dispositivos [15].

Petalinux facilita el desarrollo de un sistema operativo embebido basado en el proyecto Yocto, autogenerando los metadatos que configuran las capas del SO y las recetas de cada componente. Además, Petalinux permite importar el proyecto de Vivado generado por los estudiantes durante el primer cuatrimestre y autogenera el Device Tree que permite acceder a los módulos IP del PL a través del bus AXI. La Fig. 4 muestra las entradas del Device Tree que permiten direccionar los módulos encargados de controlar los principales bloques IP diseñados en la asignatura de Diseño avanzado de sistemas digitales.

```
my_dcmotor_0: my_dcmotor@a0002000 {
    clock-names = "s00_axi_aclk";
    clocks = <&clk 71>;
    compatible = "xlnx,my-dcmotor-1.0";
    reg = <0x0 0xa0002000 0x0 0x1000>;
    xlnx,s00-axi-addr-width = <0x4>;
    xlnx,s00-axi-data-width = <0x20>;
};
my_distance_0: my_distance@a0005000 {
    clock-names = "s00_axi_aclk";
    clocks = <&clk 71>;
    compatible = "xlnx,my-distance-1.0";
    reg = <0x0 0xa0005000 0x0 0x1000>;
    xlnx,s00-axi-addr-width = <0x4>;
    xlnx,s00-axi-data-width = <0x20>;
};
my_ds18b20_0: my_ds18b20@a0001000 {
    clock-names = "s00_axi_aclk";
    clocks = <&clk 71>;
    compatible = "xlnx,my-ds18b20-1.0";
    reg = <0x0 0xa0001000 0x0 0x1000>;
    xlnx,s00-axi-addr-width = <0x4>;
    xlnx,s00-axi-data-width = <0x20>;
};
my_servo_0: my_servo@a0004000 {
    clock-names = "s00_axi_aclk";
    clocks = <&clk 71>;
    compatible = "xlnx,my-servo-1.0";
    reg = <0x0 0xa0004000 0x0 0x1000>;
    xlnx,s00-axi-addr-width = <0x4>;
    xlnx,s00-axi-data-width = <0x20>;
};
my_stepper_0: my_stepper@a0003000 {
    clock-names = "s00_axi_aclk";
    clocks = <&clk 71>;
    compatible = "xlnx,my-stepper-1.0";
    reg = <0x0 0xa0003000 0x0 0x1000>;
    xlnx,s00-axi-addr-width = <0x4>;
    xlnx,s00-axi-data-width = <0x20>;
};
```

Fig. 4. Entradas del Device Tree de la imagen de Linux generada

Además, Petalinux facilita el desarrollo de los device drivers generando el cuerpo básico del driver y dejando al estudiante el desarrollo de la lógica de gestión del dispositivo.

Una vez los estudiantes disponen de una imagen del SO a medida de los requisitos del reto propuesto, comienza la segunda parte de la asignatura en la que se desarrollan las aplicaciones que se encargan de la lógica de negocio del sistema.

Los estudiantes configuran un entorno de compilación cruzada que facilita el desarrollo de aplicaciones para la plataforma hardware utilizada.

Finalmente, utilizando protocolos de comunicaciones propios del IIoT (Industrial Internet of Things) desarrollan un sistema que permite tele monitorizar y tele controlar el funcionamiento del sistema. Dado que en la asignatura de "Redes de comunicaciones industriales" los estudiantes analizan los principales protocolos industriales, en esta asignatura se analizan los principales protocolos síncronos y asíncronos utilizados en el paradigma IoT, Rest API y MQTT, para que el estudiante desarrolle un middleware a la medida de los requisitos del sistema utilizando en cada momento la conectividad más apropiada.

#### IV. APRENDIZAJE BASADO EN PROYECTOS

Como se ha indicado previamente en la presente publicación cada año se presenta un reto que debe ser resuelto por los estudiantes distribuidos en grupos.

Durante las 5 promociones que se han desarrollado del MUAECI desde el año 2015 se han propuesto 3 retos diferentes:

- Desarrollo de un sistema de control de un panel solar para maximizar la energía generada. En las promociones 2015-2016 y 2016-2017 los estudiantes debían controlar la orientación de un panel solar didáctico por medio de dos servos, analizando la luz y temperatura de exposición y gestionando la energía generada. Los estudiantes debían desarrollar un panel de control que permitiera controlar en tiempo real el sistema y visualizar los indicadores históricos
- Desarrollo de un robot móvil. Durante las promociones 2017-2018 y 2018-2019 los estudiantes disponían de una plataforma móvil a gestionar por el SoC sobre la cuál debían desarrollar un proyecto en el ámbito de la seguridad. Igualmente, el sistema debía alertar en tiempo real ante incidencias detectadas y permitir el control remoto del robot.
- Control multivariable de posicionamiento de eje horizontal. En la promoción 2019-2020 los estudiantes han desarrollado un sistema capaz de gestionar una maqueta didáctica que permite el desplazamiento horizontal de un elemento. La maqueta incluye fuentes de calor y de frío y sensores redundantes de temperatura. Los estudiantes deben controlar desde un panel de control remoto el posicionamiento del sistema en base a la consigna, temperatura, etc. La Fig. 5 muestra la maqueta didáctica diseñada por los

profesores del MUAECI para las asignaturas del área de Electrónica Industrial.

Aunque la distribución secuencial de las asignaturas Diseño avanzado de sistemas digitales y Sistemas embebidos avanzados complica el desarrollo de un único proyecto compartido, el desarrollo de los proyectos de cada asignatura se lleva a cabo de manera coordinada entre ambas con un único objetivo final. De esta forma los estudiantes deben utilizar los resultados del proyecto desarrollado en el primer cuatrimestre como base del proyecto en la asignatura correspondiente al segundo. Sin embargo, los estudiantes pueden, hasta la entrega final, añadir nuevos bloques IP sobre el diseño de partida.

Para cada asignatura los estudiantes deben desarrollar un prototipo con la funcionalidad mínima del sistema propuesto. A partir de ahí los estudiantes deben incorporar nuevos elementos diferenciadores cuyo desarrollo debe ser íntegramente llevado a cabo de forma autónoma por los distintos grupos de estudiantes. Las mejoras sobre el prototipo básico pueden ser desarrolladas por todos los componentes de un grupo o únicamente por aquellos que desean subir la nota personal.

Las características de la maqueta mostrada en la Fig. 6 permiten la implementación de algoritmos de control industrial, siendo valorados de forma excepcional aquellos que han sido acelerados mediante su implementación en forma de bloques IP de lógica programable. Esto permite a los estudiantes interiorizar las altas capacidades de procesamiento de los sistemas FPGA y las ventajas del paralelismo propio de esta arquitectura.

Los estudiantes disponen de la métrica utilizada por los profesores para la evaluación del proyecto cuya nota supone el 60% del total de la asignatura.

La evaluación de la asignatura se completa con un examen individual, con un valor de un 30% de la nota total y un conjunto de entregas básicas que los estudiantes deben subir a la plataforma de aprendizaje colaborativo desde la que se organizan las asignaturas del MUAECI, con un valor del 10% de la nota.

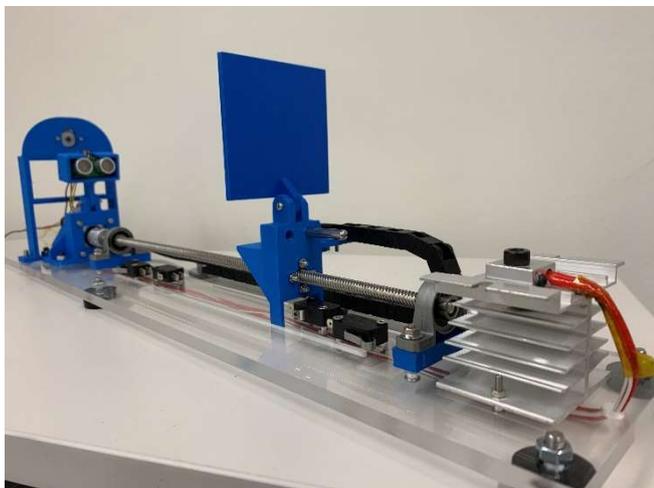


Fig. 5. Maqueta didáctica utilizada en el APB de las asignaturas.

Ante el elevado porcentaje de la nota derivado al proyecto, para evitar enmascarar deficiencias en el aprendizaje individual que no son detectadas durante la evaluación, los estudiantes deben aprobar el examen individual para superar la asignatura.

## V. CONCLUSIONES Y TRABAJO FUTURO

El desarrollo de las asignaturas de “Diseño avanzado de sistemas digitales” y “Sistemas embebidos avanzados” permite desarrollar al completo el flujo de trabajo necesario para el desarrollo de un sistema embebido de alto rendimiento basado en un SoC heterogéneo. A lo largo del curso, los estudiantes del Máster Universitario en Automatización, Electrónica y Control Industrial desarrollan todas las etapas, desde la contextualización hasta la evaluación de un sistema embebido mediante una tecnología innovadora llamada a resultar clave en la aplicación del paradigma IIoT.

Mediante la aplicación de una metodología de aprendizaje basado en proyecto, los estudiantes asimilan sin dificultades nuevas tendencias en el diseño de sistemas embebidos como el diseño de un SO embebido basado en Linux mediante Yokto o el desarrollo de bloques de lógica programable mediante lenguajes de sintetizado de alto nivel (HLS).

Para los próximos años, el objetivo de los profesores de las asignaturas descritas en la presente publicación es añadir paulatinamente en los proyectos sensores avanzados como cámaras o acelerómetros de ultra alta velocidad que faciliten el mantenimiento predictivo de los sistemas controlados y permitan la aplicación de técnicas avanzadas de procesamiento de información que puedan ser aceleradas mediante algoritmos sintetizados en FPGA.

## REFERENCES

- [1] Ministerio de Ciencia, Innovación y Universidades. “Inserción laboral de los egresados universitarios. Curso 2013-14 (análisis hasta 2018). Publicación incluida en el Programa Editorial del Ministerio de Ciencia, Innovación y Universidades. 2019. e-NIPO: 692-19-016-4
- [2] J. Bigelow, “Using problem based learning to develop skills in solving unstructured problems,” en *Journal of Management Education*, 28(5):591-610, 2004.
- [3] M. Valero García. “El aprendizaje basado en proyectos en los estudios de ingeniería,” en *Cuadernos de pedagogía*, núm. 403, pp. 52-55, 2010.
- [4] E. Martí, F. Poveda, A. Guuguí y D. Gil. “Aprendizaje Basado en Proyectos en Ingeniería Informática. Resultados y reflexiones de seis años de experiencia,” en *Simposio-taller JENUI 2011*, pp. 1-8, Sevilla, julio de 2011.
- [5] O. Arbelaitz Gallego, J. I. Martín Aramburu, J. Mugerza Rivero. “Aprendizaje cooperativo y basado en proyectos en la asignatura Arquitectura de Computadores,” en *Revista de AENUI (Asociación de Enseñantes Universitarios de la Informática) de investigación en Docencia Universitaria de la Informática*. ISSN: 1989-1199. Vol 6, No 2 (2013)
- [6] K. Umachandran, I. Jurčić, V. Della Corte y D. S. Ferdinand-James, “Industry 4.0: The New Industrial Revolution,” en *Handbook of Research on Big Data Analytics for Smart and Connected Cities*, (pp. 138-156), Hershey, PA: IGGI Global. doi: 10.4018/978-1-5225-6207-8.ch010
- [7] L. Bassi, “Industry 4.0: Hope, hype or revolution?,” 2017 IEEE 3rd International Forum on Research and Technologies for Society and Industry (RTSI), Modena, 2017, pp. 1-6. doi: 10.1109/RTSI.2017.8065927
- [8] J. Lin, W. Yu, N. Zhang, X. Yang, H. Zhang and W. Zhao, “A Survey on Internet of Things: Architecture, Enabling Technologies, Security and Privacy, and Applications,” in *IEEE Internet of Things Journal*,

- vol. 4, no. 5, pp. 1125-1142, Oct. 2017. doi: 10.1109/JIOT.2017.2683200
- [9] S. Leibson and N. Mehta. "Xilinx UltraScale: The Next-Generation Architecture for Your Next-Generation Architecture," xilinx.com. White Paper: UltraScale Architecture. WP435 (v1.0) July 8, 2013.
- [10] Xiaofan Zhang, Anand Ramachandran, Chuanhao Zhuge, Di He, Wei Zuo, Zuofu Cheng, Kyle Rupnow, and Deming Chen. 2017. Machine learning on FPGAs to face the IoT revolution. In Proceedings of the 36th International Conference on Computer-Aided Design (ICCAD '17). IEEE Press, 819–826.
- [11] G. de Micheli y M. Sami. Hardware/Software Codesign. Proceedings of the NATO Advanced Institute on Hardware/Software Codesign. Tremezzo, Itali. June 19-30, 1995
- [12] A. A. Jerraya and W. Wolf, "Hardware/software interface codesign for embedded systems," in *Computer*, vol. 38, no. 2, pp. 63-69, Feb. 2005. doi: 10.1109/MC.2005.61
- [13] J. Balasch, A. Beckers, D. Božilov, S. S. Roy, F. Turan and I. Verbauwhede, "Teaching HW/SW codesign with a Zynq ARM/FPGA SoC," 2018 12th European Workshop on Microelectronics Education (EWME), Braunschweig, Germany, 2018, pp. 63-66. doi: 10.1109/EWME.2018.8629481
- [14] PetaLinux Tools Documentation Reference Guide. [www.xilinx.com](http://www.xilinx.com). UG1144 (v2019.2) October 30, 2019
- [15] K. Song, Z. Huang, y Han Gao. "Design of intelligent environmental gateway platform based on Zynq-7000," en Proceedings of the 2nd International Conference on Advances in Image Processing (ICAIP '18). 2018. Association for Computing Machinery, New York, NY, USA, 133–137. /doi:10.1145/3239576.3239604