

# WebLab-Boole-Deusto: Plataforma web para el diseño y test en laboratorio remoto de sistemas digitales combinacionales básicos

Javier García-Zubía, Eneko Cruz, Luis Rodríguez Gil,  
Unai Hernández Jayo, Ignacio Angulo Martínez, Pablo Orduña

Facultad de ingeniería, Universidad de Deusto  
Avda. Universidades 24, 48007 Bilbao, España  
zubia@deusto.es

Borja Sotomayor Basilio

Departamento Computer Science, University of Chicago  
1100 East 58<sup>th</sup> Street  
Chicago, IL60637, USA  
borja@cs.uchicago.edu

**Abstract**— En el ámbito de la minimización de funciones booleanas y de su diseño mediante puertas AND-OR-NOT existe un buen número de plataformas y programas informáticos específicos. La plataforma WebLab-Boole-Deusto presenta dos características novedosas frente a las anteriores ya que por un lado es una plataforma web y por tanto el usuario no debe descargarse ningún software, y por otro lado permite al usuario no solo diseñar el circuito digital sino también probarlo en un laboratorio remoto basado en una FPGA/CPLD que le ofrece por ahora interruptores, pulsadores, leds y 7-segmentos.

**Keywords**— Circuitos digitales, minimización booleana, laboratorios remotos

## I. INTRODUCCIÓN

La asignatura de Electrónica Digital forma parte del currículum de diversos grados en ingeniería y en otros ámbitos técnicos. Así pues, cualquier aportación en esta área puede ser interesante para dicha comunidad.

Los circuitos electrónicos digitales se dividen en combinacionales y secuenciales, y cada uno de estos además puede ser dividido en dos grupos: a nivel de puerta lógica (bit-level) o a nivel funcional (word-level). Los circuitos a nivel de bit están implementados exclusivamente con puertas lógicas AND-OR-NOT, mientras que los circuitos a nivel de palabra se implementan principalmente con bloques funcionales tipo CI 74XX. La Fig. 1 muestra dos ejemplos de ambos tipos de circuitos.

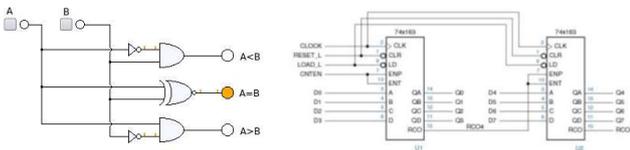


Fig. 1. Circuitos digitales

La herramienta WebLab-Boole-Deusto presentada en este trabajo está orientada al diseño de circuitos combinacionales a

nivel de puerta lógica, aunque también podría extenderse a sistemas secuenciales. El proceso de diseño de estos circuitos sigue una metodología paso a paso muy asentada y descrita en los manuales de la asignatura. La Fig. 2 muestra claramente este proceso: crear la tabla de verdad, escribir la formas canónicas booleanas, dibujar los mapas VK, obtener las expresiones mínimas simplificadas y dibujar el circuito digital con puertas lógicas AND-OR-NOT.

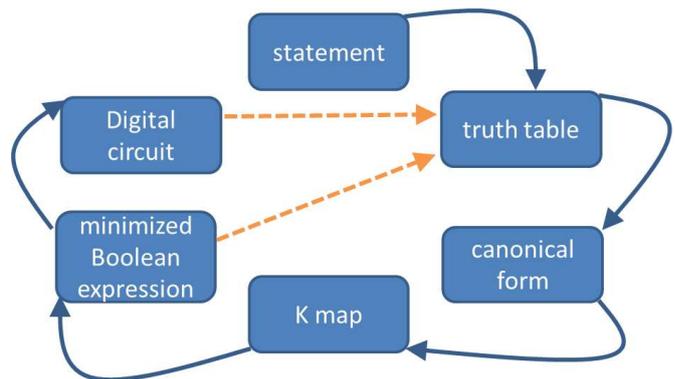


Fig. 2. Diseño de circuitos digitales combinacionales con puertas lógicas

En la Fig. 2 las líneas continuas describen el proceso de diseño, mientras que las líneas discontinuas muestran el proceso básico de análisis. Cada paso de diseño (o análisis) implica que el alumno debe aplicar un método claro y bien conocido: para obtener la tabla de verdad los alumnos deben describir el comportamiento del ejercicio usando solo 0 y 1; el diagrama o mapa VK es la representación gráfica de la tabla de verdad de forma que está pueda ser simplificada; para minimizar el VK el alumno debe aplicar un algoritmo no del todo trivial que se basa en el dibujo de lazos; y finalmente el circuito digital expresa mediante símbolos gráficos las expresiones booleanas mínimas obtenidas de los mapas VK.

WebLab-Boole-Deusto (WBD) ayuda a los estudiantes a aprender cómo completar los pasos anteriores de diseño, y lo hace paso por paso, sin pasar directamente de la tabla de verdad al circuito digital como hacen otras herramientas de diseño

digital. Adicionalmente, WBD es capaz de implementar el sistema diseñado para que los alumnos puedan testear la bondad del circuito diseñado. Dicha implementación se basa en una FPGA y se ofrece como un laboratorio remoto. Es decir, el alumno no necesita montar un circuito o grabar una FPGA, simplemente necesita disponer de una conexión a internet para acceder al laboratorio remoto y completar la experiencia.

Antes de describir la herramienta WebLab-Boole-Deusto es importante remarcar que se trata de una herramienta didáctica, orientada al aula y los alumnos y no a la industria y los profesionales. En la industria los profesionales no usan CI de puertas lógicas, sino que directamente programan en VHDL la configuración de las FPGA utilizadas (o programan en C los microcontroladores). En educación al menos hasta el momento, es importante que el alumno entienda el concepto de puerta lógica y su utilización para implementar circuitos digitales.

El trabajo consiste fundamentalmente en presentar la herramienta y su uso para que los profesores involucrados puedan determinar su utilidad en el aula.

## II. DESCRIPCIÓN DE WEBLAB-BOOLE-DEUSTO

WebLab-Boole-Deusto es una aplicación web accesible desde cualquier tipo de dispositivo y navegador web, y está disponible en <https://test.labsland.com/boolewrapper/>. Para describir WBD lo mejor es hacerlo a través de un ejemplo.

El ejercicio a completar es un clásico de la electrónica digital: Diseñar un decodificador BCD-7 segmentos activo por nivel bajo y dotado de línea de enable activa por nivel alto.

El primer paso es determinar el número de variables de entrada y de salida: 4 entradas (e3-e0) y 8 salidas (segmentos a-g y enable), como muestra la Fig. 3.

### Statement

The screenshot shows a web interface for configuring a logic problem. At the top, there is a text area for the problem statement with the title "BCD2seven\_seg". Below this, there are two columns of input and output variables. The "Inputs" column contains e0, e1, e2, and e3, each with a "Delete" button. The "Outputs" column contains enable, g, f, e, d, c, b, and a, each with an "Add output" button and a "Delete" button.

Fig. 3. Decodificador BCD-7 segmentos

La Fig. 4 muestra el siguiente paso, consistente en crear la tabla de verdad usando simplemente el ratón. En este ejemplo las entradas son activas por nivel alto y las salidas, por bajo.

En el siguiente paso, Fig. 5, los alumnos pueden obtener opcionalmente la forma canónica correspondiente a cada columna resultado del sistema digital. Este paso es relevante porque se pasa de una descripción basada en 1, 0 y X a una basada en el álgebra de Boole (Teorema de Shannon), tanto en forma de minitérminos como de maxitérminos.

The screenshot shows a truth table editor with 12 columns: e3, e2, e1, e0, a, b, c, d, e, f, g, and enable. The table contains 16 rows of data. The first 10 rows have binary values (0 or 1) for all columns. The last 6 rows have 'X' for the output columns (a-g) and '0' for the enable column. Below the table are three buttons labeled '0', '1', and 'X', and a 'Clear table' button.

e3	e2	e1	e0	a	b	c	d	e	f	g	enable
0	0	0	0	0	0	0	0	0	0	1	1
0	0	0	1	1	0	0	1	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0	1
0	0	1	1	0	0	0	0	1	1	0	1
0	1	0	0	1	0	0	1	1	0	0	1
0	1	0	1	0	1	0	0	1	0	0	1
0	1	1	0	1	1	0	0	0	0	0	1
0	1	1	1	0	0	0	1	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0	1
1	0	0	1	0	0	0	1	1	0	0	1
1	0	1	0	X	X	X	X	X	X	X	0
1	0	1	1	X	X	X	X	X	X	X	0
1	1	0	0	X	X	X	X	X	X	X	0
1	1	0	1	X	X	X	X	X	X	X	0
1	1	1	0	X	X	X	X	X	X	X	0
1	1	1	1	X	X	X	X	X	X	X	0

Fig. 4. Tabla de verdad del decodificador BCD-7 segmentos

The screenshot shows a web interface for generating Boolean formulas. It has a dropdown menu labeled "Select a formula to display:" with "Standard sum of products" selected. Below this, there are seven equations for variables a through g and enable, each expressed as a sum of minterms (m\_i).

$$a = \sum(m_1, m_4, m_6)$$

$$b = \sum(m_5, m_6)$$

$$c = \sum(m_2)$$

$$d = \sum(m_1, m_4, m_7, m_9)$$

$$e = \sum(m_1, m_3, m_4, m_5, m_7, m_9)$$

$$f = \sum(m_1, m_2, m_3, m_7)$$

$$g = \sum(m_0, m_1, m_7)$$

$$enable = \sum(m_0, m_1, m_2, m_3, m_4, m_5, m_6, m_7, m_8, m_9)$$

Fig. 5. Formas canónicas booleanas del decodificador BCD-7 segmentos

Cada columna de la tabla de verdad (o cada forma canónica) puede convertirse en un diagrama VK que es usado para minimizar la expresión booleana correspondiente. La Fig. 6 nos muestra el diagrama VK correspondiente al segmento f de la tabla de verdad. La expresión booleana minimizada o simplificada se encuentra debajo del VK, y en esta expresión cada término tiene un color, y cada color se corresponde con un lazo en el VK del WBD. Para obtener las expresiones de otros segmentos simplemente hay que hacer clic en las flechas situadas a derecha e izquierda de la imagen. Además, y como se puede

ver en la Fig. 6, la expresión mínima puede ser ocultada para que la obtenga el alumno antes de verla.

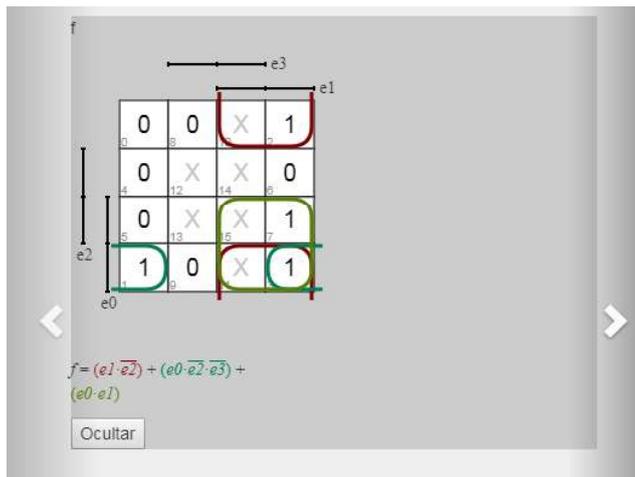


Fig. 6. VK y expresión minimizada del segmento f del decodificador BCD-7 segmentos

La Fig. 7 muestra el circuito digital implementado con puertas AND-OR-NOT del decodificador BCD-7 segmentos.

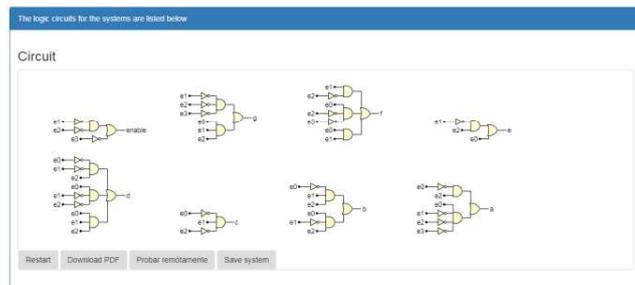


Fig. 7. Circuito digital del decodificador BCD-7 segmentos

En este momento, y llegados a este punto, los alumnos deberían ir al laboratorio para implementar el circuito anterior usando circuitos integrados 7404 (NOT), 7408 (AND) y 7432 (OR). De esta manera el alumno podrá montar y probar por sí mismo un circuito digital real.

Frente a esta opción o como complemento a ella, el alumno puede utilizar un simulador tipo Proteus o Falstad o un laboratorio remoto. La opción de este trabajo se basa en el uso de un laboratorio remoto, WebLab-Deusto.

Un laboratorio remoto permite que el alumno tenga una experiencia similar a la que tendría en un laboratorio clásico o manual pero sin estar en él, utilizando una conexión a Internet como sus manos y ojos. Los laboratorios remotos tienen muchas ventajas y desventajas y existen múltiples estudios que avalan su utilidad o la critican, pero este no es el objetivo de este trabajo. Este no es otro que mostrar otro caso de uso a la comunidad universitaria. El alumno en este caso puede probar (no montar) un circuito digital real.

El laboratorio remoto WebLab-Deusto-FPGA dispone de varias entradas y salidas, más concretamente dispone en la entrada de 10 interruptores, cuatro pulsadores y un clock de

frecuencia seleccionable, y en la salida dispone de 8 diodos led y cuatro 7-segmentos multiplexados con sus correspondientes líneas de enable. La Fig. 8 muestra la asignación que se ha hecho mediante arrastre en el interface: las entradas han sido asignadas a los interruptores (podrían haber estado asignadas a los pulsadores), y los segmentos de salida se han asignado a los correspondientes segmentos.



Fig. 8. Asignación de pines de entrada y salida del decodificador BCD-7 segmentos

Una vez hecha la anterior asignación, los alumnos deben descargar el fichero VHDL creado por la herramienta. Este fichero contiene la descripción VHDL del circuito digital creado. En ningún caso es relevante ahora si el alumno entiende o no el fichero recién creado, aunque lo es fácilmente y bien puede ser servir al profesor para introducir este tema. La Fig. 9 muestra el código VHDL generado para este ejemplo.

```

led0 : inout std_logic;
led1 : inout std_logic;
led2 : inout std_logic;
led3 : inout std_logic;
led4 : inout std_logic;
led5 : inout std_logic;
led6 : inout std_logic;
led7 : inout std_logic;
ena0 : inout std_logic;
ena1 : inout std_logic;
ena3 : inout std_logic;
dot : inout std_logic
);
end base;

architecture behavioral of base is
begin
ena2<=( not ( sw11 ) and not ( sw12 ) ) or ( not ( sw10 ) );
seg0<=( not ( sw11 ) and not ( sw12 ) and not ( sw13 ) ) or ( sw10 and sw11 and sw12 );
seg1<=( sw11 and not ( sw12 ) ) or ( sw10 and not ( sw12 ) and not ( sw13 ) ) or ( sw10 and
seg2<=( not ( sw11 ) and sw12 ) or ( sw10 );
seg3<=( not ( sw10 ) and not ( sw11 ) and sw12 ) or ( sw10 and not ( sw11 ) and not ( sw1
seg4<=( not ( sw10 ) and sw11 and not ( sw12 ) );
seg5<=( not ( sw10 ) and sw11 and sw12 ) or ( sw10 and not ( sw11 ) and sw12 );
seg6<=( not ( sw10 ) and sw12 ) or ( sw10 and not ( sw11 ) and not ( sw12 ) and not ( swi
end behavioral;

```

Fig. 9. Descripción VHDL del decodificador BCD-7 segmentos

El siguiente paso consiste en acceder al WebLab-Deusto. En este momento la página web le solicita un user/pass y el alumno bien puede introducir la suya, si es que la tiene, o utilizar demo/demo. Una vez dentro del experimento remoto (WebLab-Deusto-PLD o WebLab-Deusto-FPGA) es necesario indicarle al mismo con qué fichero debe experimentar (BCD2seven\_seg.vhd).

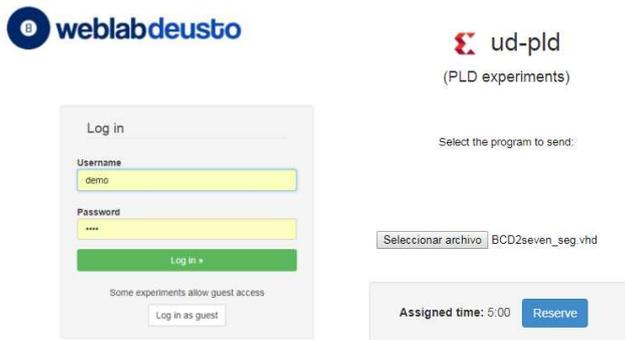


Fig. 10. Acceso a WebLab-Deusto

Al activar la opción de Reservar el fichero .vhd es enviado al servidor de WebLab-Deusto y ahí comienza el proceso típico de un fichero de este tipo: síntesis (Fig. 11), implementación, generación de fichero .bit y programación final del dispositivo. Al acabar el proceso, que bien puede llevar unos minutos, el alumno toma el control del circuito digital.



Fig. 11. Proceso de síntesis del decodificador BCD-7 segmentos en VHDL

Antes de seguir cabe destacar que no es objetivo en absoluto de esta herramienta el entrenar al alumno en el diseño de sistemas digitales en VHDL. En WebLab-Boole-Deusto el VHDL y la FPGA son meros instrumentos para facilitar la experimentación del alumno, y no son objeto de aprendizaje. La plataforma WebLab-Deusto cuenta con otro laboratorio orientado al diseño con VHDL y FPGA que actualmente se encuentra bajo rediseño.

Volviendo a lo anterior, el alumno tiene el control de las entradas, y al cambiar sus valores podrá ver el efecto de estos cambios en las salidas. La Fig. 12 muestra dos situaciones distintas en la entrada. La primera es 0000 (ver que los cuatro interruptores están a 0) y la segunda, 0101 (ver que los interruptores indican 0101).

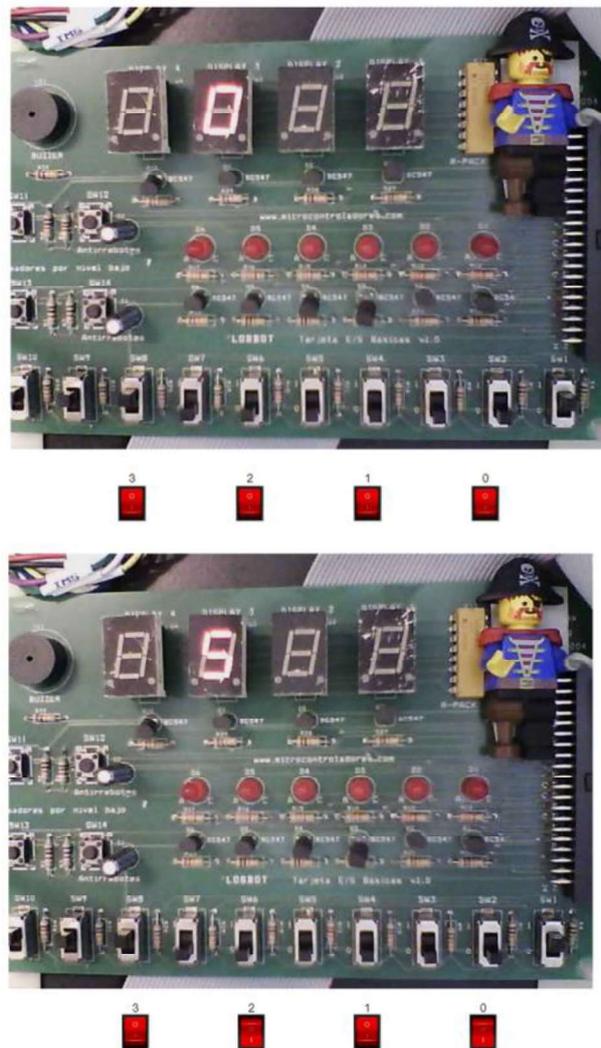


Fig. 12. Experimentación 0000 y 0101 en el decodificador BCD-7 segmentos en VHDL

En este momento el alumno puede probar todas las combinaciones hasta quedar satisfecho con su diseño, o puede encontrar algún error que le haga reconsiderar su diseño inicial, con el fin de obtener un comportamiento satisfactorio en un nuevo acceso al laboratorio remoto.

Por último cabe destacar que el usuario puede guardar y cargar los sistemas digitales creados con anterioridad.

### III. COMPARATIVA CON OTRAS HERRAMIENTAS SIMILARES

Actualmente hay centenares de minimizadores booleanos pero la mayoría de ellos tiene alguno de los problemas siguientes:

- La mayoría está orientada solo a la minimización booleana, o a la simulación de circuitos digitales, o pocas veces está orientada al proceso completo de diseño.
- No son aplicaciones web, y muchos son programas de escritorio ejecutables.

- Las aplicaciones que son web pueden estar basadas en tecnologías obsoletas, fundamentalmente Java o Flash.
- El soporte gráfico no es habitual, y lo normal es que la introducción de las funciones a minimizar esté basada en minitérminos/maxitérminos.
- Muchas de ellas no permiten al alumno comprobar su propia solución, la herramienta simplemente ofrece la suya.
- No tienen conexión a un laboratorio remoto para poder experimentar con el sistema en realidad, simplemente entregan al alumno las expresiones booleanas o una simulación gráfica.

WebLab-Boole-Deusto es una herramienta web, accesible desde cualquier dispositivo usando cualquier navegador y bajo cualquier sistema operativo, su interfaz es gráfico e incluye el acceso a un laboratorio remoto. WBD está integrado en WebLab-Deusto y por tanto ofrece al profesor las ventajas propias de un RMLS (Remote Lab Management System) que son explicadas en una sección posterior.

Desde nuestro conocimiento no existe otra herramienta similar disponible, excepto Boole-Deusto [1], predecesora de la actual WBD.

La herramienta Boole-Deusto, descrita al comienzo como calculadora booleana, fue diseñada antes del año 2000 y ha conocido diferentes versiones, y en esencia es similar a la actual, incluyendo el laboratorio remoto, pero tiene una desventaja clara: se trata de una aplicación de escritorio que el alumno debe descargar y ejecutar en su ordenador sin más garantía que el texto que la acompaña. A cambio tiene otras ventajas como el diseño de autómatas finitos deterministas (FSM) o la opción de que el alumno obtenga la expresión mínima por sí mismo y la compare con la calculada por la herramienta.

La anterior afirmación debería ir acompañada de un análisis más detallado de otras herramientas, pero esto no es tan fácil ya que el número de herramientas es muy elevado. Por ejemplo introducir en google “karnaugh online” ofrece 180.000 resultados. El primero de ellos, <http://www.32x8.com/>, en efecto es un minimizador online, aplicación web, y se parece al WBD: dada una tabla ofrece una minimización y un circuito lógico, pero no permite describir más de una columna resultado en la tabla de verdad ni acceder a un laboratorio remoto, además de otras muchas diferencias (Ver Fig. 13).

Softonic ofrece dos herramientas en su portal, Karnaugh Minimizer (<https://karnaugh-minimizer.softonic.com/>) y Karnaugh Calculator y ambas son ficheros descargables. Otra opción sería usar Proteus de LabCenter (<https://www.labcenter.com/>), pero esta conocida herramienta está orientada a la captura y simulación de circuitos analógicos y digitales, y no a mostrar las fases de diseño digital. Es una herramienta profesional, y no está orientada siempre a las necesidades del alumno, y además no cuenta con conexión a laboratorio remoto, sino que su esfuerzo se centra en el simulador.

Hay que destacar que WBD no busca “competir” con esas herramientas ni con los simuladores u otros enfoques similares,

sino que busca ser una ayuda para el profesor y el alumno en la tarea de enseñanza-aprendizaje.

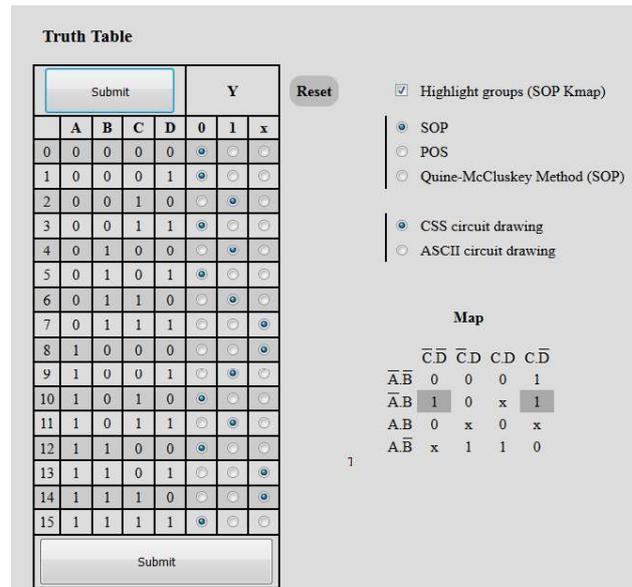


Fig. 13. Herramienta alternativa a WBD

#### IV. WEBLAB-DEUSTO RLMS

Como ya se ha indicado, el laboratorio remoto integrado en WBD se ofrece bajo la gestión de WebLab-Deusto. WebLab-Deusto es una plataforma que ofrece diferentes laboratorios remotos —robots, ARM, Arquímedes, VISIR, etc- con una serie de ventajas.

El profesor puede organizar los grupos de alumnos que podrán acceder a WebLab-Deusto-FPGA o WebLab-Deusto-PLD desde WebLab-Boole-Deusto, o podrá saber cuántas veces se ha conectado cada alumno, o cuándo lo hecho. Incluso puede saber qué fichero ha subido a la plataforma, de manera que el profesor puede apreciar y evaluar el esfuerzo y aprendizaje del alumno.

La Fig. 14 nos muestra algunos datos generales de uso de WebLab-Deusto por parte de una clase en la asignatura de Electrónica en el primer parcial del curso 2017-2018.

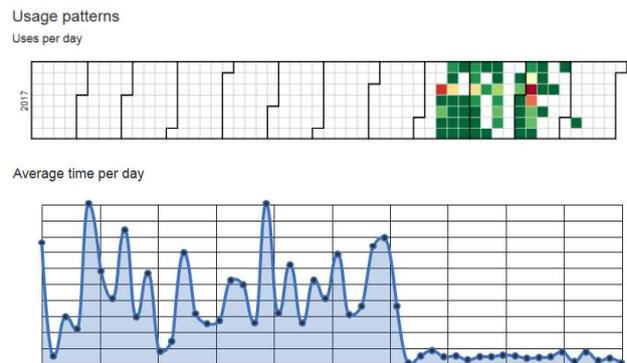


Fig. 14. Estadística de uso de WEBLab-Deusto para PLD y FPGA

La Fig. 15 muestra sin embargo una sesión en particular de una alumna, donde el profesor no solo puede ver las acciones de la misma, sino que también puede acceder a los ficheros enviados al laboratorio remoto.

Timestamp before	Timestamp after	Request	Response	Link
2017-12-08 17:39:31.458182	2017-12-08 17:39:31.456436	@@@initial: request@@@	{ "back": "https://weblab-deusto.es/weblab/lab/PLD%20experiments-101-387.html#deusto" }	N/A
2017-12-08 17:39:31.458182	2017-12-08 17:39:31.456436	@@@initial: response@@@	{ "webcam": "https://cam.weblab-deusto.es/webcam/proved.py", "id": "expected_programming_time": 28, "expected_synthesizing_time": 90, "max_ake_time": 0 }	N/A
2017-12-08 17:39:32.679659	2017-12-08 17:39:32.702490	None	STATE=synthesizing	Deusto
2017-12-08 17:39:33.952971	2017-12-08 17:39:33.972052	Opening file_35591.bin		N/A
2017-12-08 17:39:34.723248	2017-12-08 17:39:34.737797			N/A
2017-12-08 17:39:35.780702	2017-12-08 17:39:35.806193			N/A
2017-12-08 17:39:36.851166	2017-12-08 17:39:36.867462			N/A
2017-12-08 17:39:37.922796	2017-12-08 17:39:37.937263			N/A
2017-12-08 17:39:38.983470	2017-12-08 17:39:38.998202			N/A
2017-12-08 17:39:39.114074	2017-12-08 17:39:39.128746			N/A
2017-12-08	2017-12-08			N/A

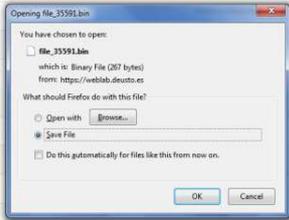


Fig. 15. Acceso detallado a WebLab-Deusto-PLD de una alumna

El profesor valora mucho este tipo de datos para poder establecer técnicas de Learning Analytics y similares.

### V. CONCLUSIÓN Y TRABAJO FUTURO

La herramienta WebLab-Boole-Deusto permite al alumno y al profesor el diseño paso a paso de un circuito digital combinatorial a nivel de bit y su prueba real en un laboratorio remoto. WBD es una herramienta web diseñada bajo el paradigma html5.

El trabajo futuro se orienta hacia la medida de la usabilidad bajo UMUX y hacia la extensión de su funcionalidad, sobre todo hacia la integración de diseño de autómatas (FSM).

### REFERENCIAS

[1] J. Garcia-Zubia. "Educational software for digital electronics: BOOLE-DEUSTO", Proc. IEEE International Conference on Microelectronic Systems Education (IEEE MSE), pp. 20-22, 2003.